

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-312760

(43)Date of publication of application : 09.11.1999

(51)Int.Cl.

H01L 23/12

H01P 3/02

H01P 3/08

H01P 5/02

H01P 5/08

H05K 1/02

(21)Application number : 10-118213

(71)Applicant : KYOCERA CORP

(22)Date of filing : 28.04.1998

(72)Inventor : KITAZAWA KENJI  
KORIYAMA SHINICHI  
MORIOKA SHIGEO

## (54) WIRING SUBSTRATE FOR HIGH FREQUENCY

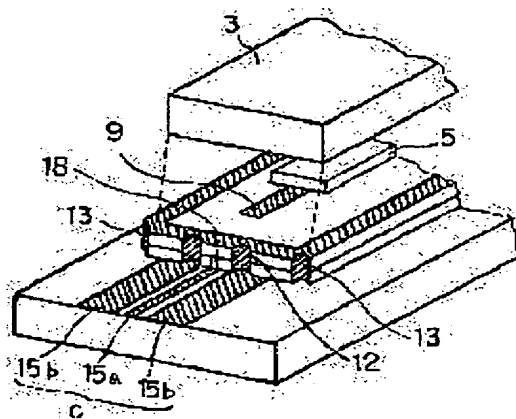
## (57)Abstract:

**PROBLEM TO BE SOLVED:** To decrease the deterioration of the transmitting characteristics of a high-frequency signal and to suppress the position deviation at the mounting with an external circuit substrate to the minimum degree, by electrically connecting the first ground layer deposited and formed on a dielectric substrate, and the second ground layer wherein the connecting part of a signal transmission line is deposited and formed by a conductor belt.

**SOLUTION:** A conductor belt 12 at the end surface of a package 1 and a ground layer 15b of a third signal transmission line C of an external circuit substrate 14 are matched. Thus, a central conductor 10a on the side of the package 1 and a central conductor 15a on the side of the external circuit substrate 14 can undergo the accurate position alignment. Under the state where such highly accurate position alignment is performed, a

central conductor 10a of a connecting part 10 formed on the back surface of the package 1, a ground layer 10b,

the central conductor 15a of the third signal transmission line C of the circuit substrate 14 and the ground layer 15b are bonded by bonding agent such as solder bump, respectively. Thus, the package 1 can be mounted on the external circuit substrate 14.



## LEGAL STATUS

[Date of request for examination]

16.04.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

THIS PAGE BLANK (USPTO)

[Date of final disposal for application]  
[Patent number]  
[Date of registration]  
[Number of appeal against examiner's decision  
of rejection]  
[Date of requesting appeal against examiner's  
decision of rejection]  
[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

THIS PAGE BLANK (USPTO)

3

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-312760

(43) 公開日 平成11年(1999)11月9日

(51) Int.Cl.<sup>6</sup>  
H 0 1 L 23/12  
H 0 1 P 3/02  
3/08  
5/02  
5/08

識別記号

3 0 1

6 0 3

F I

H 0 1 L 23/12

H 0 1 P 3/02

3/08

5/02

5/08

3 0 1 C

6 0 3

1

審査請求 未請求 請求項の数 5 O L (全 6 頁) 最終頁に続く

(21) 出願番号 特願平10-118213

(22) 出願日 平成10年(1998)4月28日

(71) 出願人 000006633

京セラ株式会社

京都府京都市伏見区竹田島羽殿町6番地

(72) 発明者 北澤 謙治

鹿児島県国分市山下町1番4号 京セラ株式会社総合研究所内

(72) 発明者 郡山 慎一

鹿児島県国分市山下町1番4号 京セラ株式会社総合研究所内

(72) 発明者 森岡 滋生

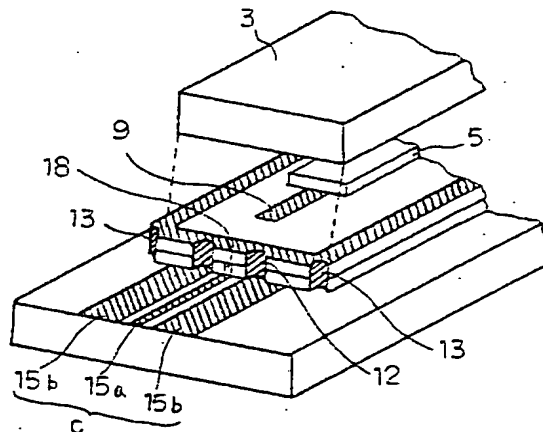
滋賀県蒲生郡蒲生町川合10番地の1 京セラ株式会社滋賀工場内

(54) 【発明の名称】 高周波用配線基板

(57) 【要約】

【課題】 高周波信号の伝送損失が小さく、実装する際の位置合わせを容易に行うことのできる高周波用の配線基板を得る。

【解決手段】 誘電体基板2と、誘電体基板2の表面に被着形成され、一端が半導体素子5と接続される高周波用伝送線路Aと、誘電体基板2の裏面に形成され一端が外部回路基板14との接続部10を形成してなる高周波用伝送線路Bとを具備し、高周波用伝送線路Aと、高周波用伝送線路Bとの間で信号の伝達が行われる高周波用配線基板において、誘電体基板2の表面および/または内部にグラウンド層8が被着形成されるとともに、高周波用伝送線路Bの接続部10が、中心導体10aと、その両側に被着形成されたグラウンド層10bにより構成され、グラウンド層8と接続部10のグラウンド層10bを誘電体基板2の端面に形成された導体帯12によって電氣的に接続し、この導体帯12を実装時の位置合わせ用の目印として利用する。



## 【特許請求の範囲】

【請求項 1】誘電体基板と、該誘電体基板の表面に被着形成され、一端が半導体素子と接続される第 1 の信号伝送線路と、前記誘電体基板の裏面に形成され、その一端が外部回路基板との接続部を形成してなる第 2 の信号伝送線路とを具備し、前記第 1 の信号伝送線路と、前記第 2 の信号伝送線路との間で信号の伝達が行われる高周波用配線基板において、前記誘電体基板の表面および／または内部に第 1 のグラウンド層が被着形成されるとともに、前記第 2 の信号伝送線路の前記接続部が、中心導体と、その両側に被着形成された第 2 のグラウンド層により構成され、前記第 1 のグラウンド層と前記第 2 のグラウンド層が、前記誘電体基板の端面に形成された導体帯によって電気的に接続されてなることを特徴とする高周波用配線基板。

【請求項 2】前記第 1 の信号伝送線路と、前記第 2 の信号伝送線路は、前記誘電体基板内のグラウンド層に設けられたスロット孔を介して、電磁的に結合されてなることを特徴とする請求項 1 記載の高周波用配線基板。

【請求項 3】前記半導体素子は、蓋体によって、誘電体基板の表面に気密に封止されており、前記蓋体は、前記誘電体基板の表面にメタライズシール部によって接合されてなることを特徴とする請求項 1 記載の高周波用配線基板。

【請求項 4】前記メタライズシール部が、前記導体帯と電気的に接続してなる請求項 3 記載の高周波用配線基板。

【請求項 5】前記誘電体基板の端面における前記接続部の前記中心導体と整合する箇所にマーキングを設けたことを特徴とする請求項 1 記載の高周波用配線基板。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は高周波用配線基板に関するもので、特に、マイクロ波帯からミリ波帯領域の高周波用の半導体素子を収納あるいは搭載する高周波用半導体パッケージに好適であり、外部回路基板に対して精度の高い実装が容易に行うことのできる配線基板に関するものである。

## 【0002】

【従来の技術】従来、マイクロ波やミリ波の信号を取り扱う高周波用半導体パッケージは、一般には、誘電体基板と枠体により形成されたキャビティ内に半導体素子を収納して気密に封止されており、半導体素子はキャビティ内の誘電体基板表面に形成された第 1 の高周波伝送線路と接続されている。また、誘電体基板の裏面には、外部電気回路基板との接続部を具備する第 2 の高周波伝送線路が設けられている。

【0003】そして、キャビティ内の第 1 の高周波伝送線路と、誘電体基板裏面に形成された第 2 の高周波伝送線路は、キャビティ内の高周波伝送線路を枠体を貫通し

てキャビティ外に引き出し、これを更に誘電体基板の端面を経由して裏面に配設された高周波伝送線路と接続される。また、他の接続方法としては、第 1 の高周波伝送線路と第 2 の高周波伝送線路とを誘電体基板内を貫通するスルーホール導体によって接続することも提案されている。

【0004】そして、このような誘電体基板の裏面に形成された第 2 の高周波伝送線路の接続部を外部回路基板の実装部とを半田等の接着剤を介して接続し実装することにより、外部回路基板と半導体素子とは電気的な信号の伝達が行われる。

## 【0005】

【発明が解決しようとする課題】しかしながら、前記の高周波用半導体パッケージをミリ波帯で用いた場合、ストリップ線路等の信号伝送線路を枠体を通してキャビティ外に引き出した際、枠体貫通部で信号線路がマイクロストリップ線路からストリップ線路へと変換されるため、信号線路幅を狭くする必要がある。その結果、この貫通部で反射損、放射損が発生しやすいため高周波信号の特性劣化が起こりやすくなるという問題があった。また、信号伝送線路を絶縁基板の端面で曲折することから、反射が大きくなり特性の劣化が生じた。

【0006】また、スルーホール導体を絶縁基板の底面に形成し、信号線路として用いると、40GHz 以上で急激な特性の劣化が生じるため、高周波領域で使うことが困難であった。

【0007】そこで、本発明者等は、高周波用の半導体パッケージとして、電磁結合の機構を組み込み、低損失で信号線路を伝送することができるパッケージを提案した（特願平 9-186268 号）。しかしながら、この高周波用半導体パッケージを外部配線基板の配線層に実装する場合、高周波用半導体パッケージの信号線路をマイクロストリップ線路で形成し、外部回路基板の配線層をマイクロストリップ線路で形成して両者を接続し、信号を伝送すると、電磁界分布が高周波用半導体パッケージ部と外部回路基板部で逆方向に形成されるため、接続部でモードが不連続となることから伝送特性が劣化する傾向にある。

【0008】さらに、外部回路基板の配線層の線路幅は非常に狭いことから、この配線層に上記パッケージを実装する際、パッケージ側の接続部が誘電体基板の裏面に形成されているために実装時に位置ズレを起こし、これにより外部回路基板とパッケージとの実装部において伝送特性が劣化し、最悪の場合、高周波信号線路が断線する場合もあった。

【0009】従って、本発明は前記課題を解消せんとし成されたもので、その目的は高周波用半導体パッケージを外部回路基板に実装する際、実装部における高周波信号の伝送特性の劣化を低減するとともに、外部回路基板との実装時の位置ズレを最小限に抑制し高精度な実装

を容易に行うことができる高周波用配線基板を提供することにある。

【0010】

【課題を解決するための手段】本発明者等は、高周波用配線基板において、高周波信号の特性劣化を発生することなく外部回路基板に表面実装が可能で、かつ位置ズレがなく容易に高周波用半導体パッケージを外部回路基板への表面実装することが可能な構成について検討を重ねた結果、誘電体基板の底面に中心導体とその両側にグラ

ンド層を形成したコプレーナ線路からなる接続部を形成し、接続部のグラウンド層と誘電体基板の表面あるいは内部に設けられたグラウンド層とをその誘電体基板の端面に形成された導体帯によって接続することにより、この導体帯が外部回路基板の配線層に実装する際の目印として機能し、実装時の位置合わせを容易にできることを見いだした。

【0011】即ち、本発明の高周波用配線基板は、誘電体基板と、該誘電体基板の表面に被着形成され、一端が半導体素子と接続される第1の信号伝送線路と、前記誘電体基板の裏面に形成され、その一端が外部回路基板との接続部を形成してなる第2の信号伝送線路とを具備し、前記第1の信号伝送線路と、前記第2の信号伝送線路との間で信号の伝達が行われる高周波用配線基板において、前記誘電体基板の表面および／または内部に第1のグラウンド層が被着形成されるとともに、前記第2の信号伝送線路の前記接続部が、中心導体と、その両側に被着形成された第2のグラウンド層により構成され、前記第1のグラウンド層と前記第2のグラウンド層が、前記誘電体基板の端面に設けられた導体帯によって電気的に接続されてなることを特徴とするものである。

【0012】また、上記の配線基板においては、前記第1の信号伝送線路と、前記第2の信号伝送線路は、前記誘電体基板内のグラウンド層に設けられたスロット孔を介して、電磁的に結合されてなること、前記半導体素子は、蓋体によって、誘電体基板の表面に気密に封止されており、前記蓋体は、前記誘電体基板の表面にメタライズシール部によって接合されてなること、前記メタライズシール部が、前記導体帯と電気的に接続してなること、さらには、前記誘電体基板の端面における前記接続部の前記中心導体と整合する箇所にマーキングを設けることが望ましい。

【0013】本発明によれば、高周波用配線基板の外部回路基板との接続部を、中心導体と、その両側に被着形成されたグラウンド層を具備するコプレーナ線路により構成し、また外部回路基板側の実装部をコプレーナ線路により構成することで、両者の電磁界分布は、類似したモードから構成される。そのため、両者を半田バンプ等によって接続することにより高周波信号の伝送特性の劣化を抑えることができる。

【0014】また、半導体素子と電気的に接続された第

1の信号伝送線路と、誘電体基板の底面に形成された第2の信号伝送線路とを、誘電体基板内部に設けたスロット孔を介して電磁結合させることにより、伝送線路を枠体を貫通してキャビティ外に引き出す必要がなく、枠体貫通部における反射損、放射損の発生を低減できる。しかも、従来のスループホール導体やビアホール導体等による接続に伴う透過損失の影響を受けることがないため、高周波信号を伝送損失を抑制し、かつ必要な周波数の信号を伝送することができる。

【0015】また、誘電体基板内部あるいは表面に形成されたグラウンド層と、外部回路基板との接続部におけるグラウンド層、さらには、半導体素子を気密封止するための蓋体を誘電体基板表面に接合するために設けられたメタライズシール部とを配線基板の端面に形成した導体帯によって電気的に接続することにより、グラウンド層間の電位ばらつきを抑えることができ、しかも端面の導体帯が配線基板内の電磁波が系外に漏洩するのを防止するシールドとして発揮することができる。

【0016】また、配線基板の端面に形成された導体帯は、外部回路基板との接続部のグラウンド層と接続されているために、導体帯が接続部の位置を示す作用をなし、外部回路基板における実装部に対して、導体帯を整合させながら表面実装を行うことにより、実装時の位置ズレを最小限に抑えることができ、外部回路基板と配線基板との実装部における伝送特性の劣化を抑えることが可能となる。

【0017】

【発明の実施の形態】本発明の高周波用配線基板を図面に基づき詳述する。図1は本発明の高周波用配線基板の典型的応用例として高周波用半導体パッケージを示す断面図である。図1によれば、高周波用半導体パッケージ1は、誘電体材料からなる誘電体基板2と蓋体3によりキャビティ4が形成されており、そのキャビティ4内にはIC等の高周波用の半導体素子5が搭載されている。

【0018】蓋体3は、キャビティ4からの電磁波が外部に漏洩するのを防止できる材料から構成されていることが望ましく、セラミックス、セラミックス金属複合材料、ガラスセラミックス、ガラス有機樹脂系複合材料等が使用できる。さらに誘電体基板2の半導体素子5搭載部の周囲にAu・Si合金等のメタライズシール部6が形成され、蓋体3はこのシール部6に接合されている。

【0019】誘電体基板2の表面には、図2の誘電体基板2の半導体素子5搭載面側の配線図に示される通り、キャビティ4内の領域に、半導体素子5に信号を伝送するための中心導体7が被着形成されており、その一端は、半導体素子5と接続されている。

【0020】尚、半導体素子5は中心導体7上にAu・Sn合金等によって直接搭載することにより小さな伝送損失で接続することができるが、中心導体7と半導体素子5は、その他、金リボンや複数のワイヤボンディング

で接続したり、ポリイミド等の基板にCu等の導体を形成した導体板等により接続することも可能である。

【0021】また、誘電体基板2内には導体層からなるグランド層8がほぼ誘電体基板2の全面にわたり形成され、誘電体基板2表面に形成された中心導体7とともに第1の信号伝送線路Aとしてマイクロストリップ線路を形成している。

【0022】さらに、誘電体基板2の裏面には、図3の誘電体基板2の裏面の配線図に示される通り、中心導体9が形成されており、誘電体基板2内のグランド層8とともに第2の信号伝送線路Bとなるマイクロストリップ線路を形成している。また、この中心導体9の端部には、外部回路基板との接続部10が形成されている。この接続部10は、中心導体10aと、その両脇にグランド層10bが設けられ、コプレーナ線路あるいはグランド付きコプレーナ線路を形成している。

【0023】そして、誘電体基板2内のグランド層8内には、導体が被着形成されないスロット孔11が形成されており、第1の信号伝送線路Aと第2の信号伝送線路Bとは、スロット孔11を介して、各線路の中心導体7、9の端部が対峙するように形成することにより電磁結合され、両線路A、B間で損失のない信号の伝達が行われる。

【0024】中心導体7と中心導体9は、グランド層8に形成されたスロット孔11を介して、それぞれの導体の端部が伝送信号の波長 $\lambda$ の1/2相当の長さで重なるような位置に形成されることが望ましい。

【0025】スロット孔11の形状は、長辺と短辺とから成る長方形や楕円形状の細長い孔であり、該形状は使用周波数と周波数の帯域幅を特定することができる。そのため、スロット孔11の長辺は伝送信号の波長 $\lambda$ の1/2相当の長さにするのが望ましく、スロット孔11の短辺は伝送信号の波長 $\lambda$ の1/5相当の長さから1/50相当の長さに設定するのが望ましい。

【0026】本発明によれば、図4のパッケージ1の端面図に示されるように、誘電体基板2の裏面に形成された第2の信号伝送線路Bの接続部10におけるグランド層10bを、誘電体基板2内部のグランド層8と誘電体基板2の端面に形成した導体帯（キャストレーション）12によって電氣的に接続する。また、この導体帯12は、誘電体基板2の表面に図2に示したように蓋体3を接合するためのメタライズシール部6を有する場合、そのシール部6とも電氣的に接続することが望ましい。

【0027】この導体帯12は、接続部10のグランド層10aの線幅と実質的に同一幅であるか、またはグランド層10aの一方の縁と導体帯12の縁が整合するように形成することが望ましい。これにより、誘電体基板2の裏面のグランド層10aの位置を基板の端面から容易に確認することができる。

【0028】さらに、本発明によれば、誘電体基板2の

角部において、同様な導体帯13を形成することにより、さらにパッケージ1の外部回路基板への実装時の位置合わせを容易に行うことができる。

【0029】なお、上記導体帯12は、例えば、上記パッケージ1の配線基板を作製する過程において、誘電体基板2の周囲に切断しる部分を形成した基板を作製し、その誘電体基板2の端面となる境界線上の導体帯形成箇所に、孔を明け、その孔内に真空吸引しながら導体インクを流し込み、適宜焼き付け処理した後、前記境界線にて切断することにより半径形状の切り欠き部内に導体が被着形成された導体帯13を形成することができる。

【0030】また、上記パッケージ1に代表される配線基板における誘電体基板2としては、アルミナ（ $Al_2O_3$ ）、ガラスセラミックス、窒化アルミニウム（ $AlN$ ）、窒化珪素（ $Si_3N_4$ ）等のセラミックスや有機樹脂を構成要素とする有機質絶縁材によって構成されるが、高周波信号の伝送損失を小さくするためには、信号伝送線路の導体としてAg、Cu、Au等の低抵抗導体を用いることが望ましく、この点からは前記絶縁基体は焼成温度が800～1000℃程度のガラスセラミックスが最適であり、この組み合わせにより絶縁基体と信号伝送線路との同時焼成も可能となる。

【0031】次に、上記のパッケージ1を外部回路基板に実装する方法について説明する。図5は、図1のパッケージ1を実装する外部回路基板14の表面の配線図を示した。外部回路基板14の表面には、パッケージ1における誘電体基板2の裏面に形成された接続部10と整合するように、第3の信号伝送線路Cとして中心導体15aとその両脇に一对のグランド層15bを具備するコプレーナ線路あるいはさらに外部回路基板14内部にグランド層（図示せず）を具備するグランド付きコプレーナ線路が被着形成されている。また、外部回路基板14における実装部には、パッケージ1の角部と整合する部分に位置合わせ用印16を形成してもよい。

【0032】なお、外部回路基板14は、誘電損失がミリ波帯においても小さい材料を用いることが望ましく、セラミックス、ガラスセラミックス、ガラス有機樹脂系複合材料、石英等が好適に使用できる。また、基板14表面に形成される線路は、Ag、Cu、Au等の低抵抗導体からなることが望ましい。

【0033】図6は、パッケージ1を図5の外部回路基板14の表面に実装した場合の斜視図である。図6に示すように、パッケージ1の端面の導体帯12と、外部回路基板14の第3の信号伝送線路Cのグランド層15bとを整合させることにより、パッケージ1側の中心導体10aと、外部回路基板14側の中心導体15aとを精度よく位置合わせすることができる。また、パッケージ1の角部と、外部回路基板14における位置合わせ用印16とを整合させることによりさらに精度のよい位置合わせを行うことができる。



【0034】そして、上記のように精度の高い位置合わせを行った状態で、パッケージ1の裏面に形成した接続部10の中心導体10a、グランド層10bと、外部回路基板14の第3の信号伝送線路Cの中心導体15a、グランド層15bとをそれぞれ半田バンプ17(図1)等の接着材によって接着することにより、パッケージ1を外部回路基板14に実装することができる。

【0035】また外部回路基板11上は配線層12と実装する際、角部の位置を合わせるために設けられる位置合わせ印16は、線状あるいは円形状の導体精度の高い位置合わせを行うために、径または線幅が0.2mm以下で形成されるのが望ましく、さらに位置ズレを抑えるには径または線幅が0.1mm以下で形成されることが望ましい。

【0036】また、位置合わせをさらに確実にするために、図3に示すように、接続部10の中心導体10aと整合する誘電体基板2の端面に、切り欠き形成や導体インクや着色インク層塗布形成などによりマーキング18を設けることも可能である。

【0037】上記の実施態様における説明では、高周波信号の伝送線路等について説明したが、パッケージ1においては、誘電体基板2のキャビティ4領域に半導体素子5に電力を供給するための電源層(図示せず)が形成されており、電源層の一端は、半導体素子5とリボンやワイヤ、TAB等によってそれぞれ電気的に接続され、他端は、誘電体基板2を貫通するスルーホール導体によって誘電体基板2の裏面まで導出され、導出されたスルーホール導体は、電極パッド等を介して外部回路基板14に設けられた電源用の端子と半田等により接続されるものである。

【0038】このように、本発明によれば、高周波用半導体パッケージなどの配線基板を外部回路基板に実装する際、配線基板の裏面に形成した接続部を目視や画像認識装置で位置を確認しながら外部回路基板への位置合わせおよび実装を行うことができるために、実装作業を容易にするとともに、実装時に生じる位置ずれやそれに伴う信号の伝送不良などの不具合の発生を抑制することができる。

【0039】

【発明の効果】以上詳述した通り、本発明の配線基板は、半導体素子搭載面側と誘電体基板の底面に信号伝送

線路を形成し、それらを電磁結合する高周波用半導体パッケージを、外部回路基板の配線層に実装する構造において、高周波用半導体パッケージの端面に外部回路基板と位置合わせをするためのキャスタレーションを設けた構造を採用することにより、実装時の位置ズレを最小に抑えることが出来、かつ伝送特性の劣化を低減できることである。

【図面の簡単な説明】

【図1】本発明の配線基板を適用した高周波用半導体パッケージを外部回路基板に実装した実装構造を示す断面図である。

【図2】本発明における高周波用半導体パッケージの誘電体基板2の半導体素子搭載側の配線を説明するための図である。

【図3】本発明における高周波用半導体パッケージの誘電体基板2の裏面の配線を説明するための図である。

【図4】本発明における高周波用半導体パッケージの端面図である。

【図5】外部回路基板表面の配線を説明するための図である。

【図6】高周波用半導体パッケージを外部回路基板に表面実装した時の概略斜視図である。

【符号の説明】

1 高周波用半導体パッケージ

2 誘電体基板

3 蓋体

4 キャビティ

5 半導体素子

6 メタライズシール部

7, 9, 10a, 15a 中心導体

8, 10b, 15b グランド層

10 接続部

11 スロット孔

12, 13 導体帯

14 外部回路基板

16 位置合わせ印

17 半田バンプ

18 マーキング

A 第1の信号伝送線路

B 第2の信号伝送線路

C 第3の信号伝送線路

